



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 Off nl gungsschrift
10 DE 199 03 200 A 1

51 Int. Cl. 7:
H 01 L 21/18
H 01 L 21/66
G 03 F 1/00
G 06 F 17/50

21 Aktenzeichen: 199 03 200.9
22 Anmeldetag: 27. 1. 1999
43 Offenlegungstag: 10. 8. 2000

DE 199 03 200 A 1

71 Anmelder:
Siemens AG, 80333 München, DE

72 Erfinder:
Jakobs, Andreas, Dr., 81673 München, DE

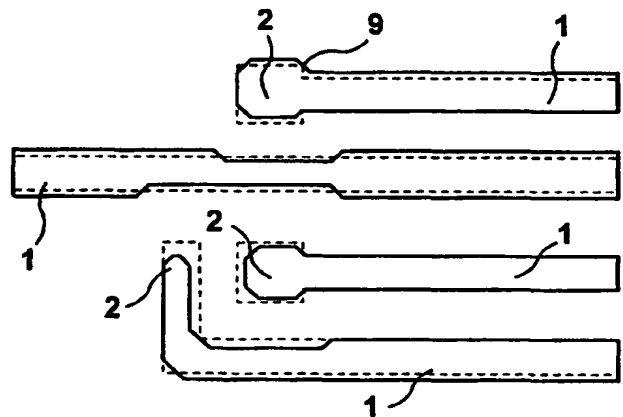
56 Entgegenhaltungen:
EP 05 99 469 A2
Jap.J.Appl. Physics, Part 1, Bd. 37, 1998,
S. 6686-6688;

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Verfahren zur Herstellung von Strukturen auf der Oberfläche eines Halbleiterwafers

57 Die Erfindung betrifft ein Verfahren zur Herstellung von Strukturen auf der Oberfläche eines Halbleiterwafers, wobei nach Erstellung eines den zu fertigenden Strukturen entsprechenden primären Layouts nach vorbestimmten physikalischen Sollparametern der Strukturen, Berechnung der parasitären Störparameter, welche sich aus den Halbleiterstrukturen nach Fertigung nach dem primären Layout ergeben würden, Korrektur des Layouts entsprechend den Ergebnissen des Berechnungsschrittes der parasitären Störparameter, Fertigung einer Maske nach dem entsprechend den parasitären Störparametern korrigierten Layout, die Oberfläche eines Halbleiterwafers mittels eines Ätzverfahrens strukturiert wird, welche Strukturierung gegenüber den nach dem korrigierten Layout gefertigten Formgebungen auf der Maske fabrikations- oder technologiebedingte Abweichungen aufweisen, wobei das primäre Layout um die fabrikations- oder technologiebedingten Abweichungen der Strukturen korrigiert wird.



DE 199 03 200 A 1

Beschreibung

Die Erfindung bezieht sich auf ein Verfahren zur Herstellung von Strukturen auf der Oberfläche eines Halbleiterwafers nach dem Oberbegriff des Anspruchs 1.

Moderne integrierte Schaltkreise werden mit immer kleineren Strukturen hergestellt und sollen bei immer höheren Taktfrequenzen betrieben werden. Das macht eine sehr genaue Berechnung der auf dem Halbleiterchip zu bildenden Strukturen, die den integrierten Schaltkreis bilden zur zwingenden Voraussetzung. Sogar schon nebeneinander verlaufende Leitungen oder Strukturen bilden parasitäre Impedanzen, die die physikalischen Eigenschaften und damit das Schaltverhalten des integrierten Schaltkreises beeinflussen oder sogar verändern können. Treten nun herstellungsbedingt Unterschiede zwischen dem auf einer CAD-Anlage erstellten primären Layouts und dem nach einer daraus gefertigten Maske hergestellten integrierten Schaltkreises so kann das kostenintensive Nachbesserungen des Layouts oder mit Umsatzseinbußen verbundene Zeitverzögerungen bei der Produktion eines neuen Produkts bedeuten. Beides ist im schnellleibigen Halbleitermarkt unbedingt zu verhindern.

Daher ist es von erheblicher Bedeutung, schon vor der Produktion die die Eigenschaften der Schaltkreise verändernden parasitären Widerstände und Kapazitäten der Strukturen auf dem Chip möglichst genau zu kennen und so durch Berechnungen mit einzubeziehen. Durch Simulation, Änderung und Wiedereingabe des Designs (Layout) wird versucht, sich dem Leistungsmaximum der gegenwärtigen Technologie möglichst gut anzunähern. Diese a priori Kenntnis wird durch Extraktion der parasitären Impedanzen aus dem Layout gewonnen; dies kann mit geeigneten CAD-Werkzeugen durchgeführt werden. Zu nennen wären hier beispielsweise die Softwarepakete DIVA, DRACULA, oder VAMPIRE aus der Produktpalette der Firma Cadence. Mit dieser Software kann jeweils auch eine Extraktion der parasitären Impedanzen durchgeführt werden. Dabei wird in einem bestehenden CAD-Layout mittels der VAMPIRE-Software ein sogenannter Design Rule Check (DRC) durchgeführt, an dem sich die sogenannte Parasitic-Extraction (RCX) anschließt. Im Anschluss daran wird das CAD-Layout um die Ergebnisse der Parasitic-Extraction korrigiert (Veränderungen der Lage oder Breiten von Bahnen oder Strukturen).

Technologisch führt nun die vorausschreitende Verkleinerung der Strukturen auf dem Halbleiterwafer nicht nur zu einer Erhöhung der parasitären Effekte, sondern auch zu zunehmenden Abweichungen der tatsächlichen Strukturen auf dem Halbleitermaterial von den nach der Maske erstellten Strukturen im Layout. Hierbei treten Nachbarschaftseffekte auf, die unter dem Namen "Optical Proximity Effects" zusammengefasst werden. Wobei der in die Fachsprache eingegangene Term der Vielfalt der Nichtlinearitäten die bei der Übertragung der Strukturen auftritt nicht gerecht wird, da nicht nur die Nähe der Strukturen eine Rolle spielt, sondern vielmehr auch die Dimensionen der einzelnen Struktur selbst, sowie die Position der benachbart angeordneten Strukturen zueinander. Der Fehler der Abbildung von der Maske ist nun nicht mehr rein durch das Substrat und die Ätztechnik bestimmt, bei der die bekannten Probleme z. B. des Unterätzens auch weiterhin eine Rolle spielen, sondern auch durch die angewendete Technik der Lithographie selbst, wobei Parametern wie der numerische Apertur, Ausleuchtungsart, Wellenlänge und die Dimension der Strukturen der Maske und deren Beschaffenheit, beispielsweise deren Dicke, große Bedeutung zukommt.

Der zunehmende technologische Einfluss in der Herstel-

lung der Strukturen auf dem Halbleiterwafer führt nun dazu, dass die parasitären Elemente nicht mehr korrekt erfasst werden, da die tatsächlichen Strukturen stark von denen des primären Layouts abweichen. Auch die Korrektur hinsichtlich der nach dem primären Layout berechneten parasitären Elemente kann so nicht mehr zu korrekten Ergebnissen führen.

Aufgabe der Erfindung ist es, ein Verfahren zur Verfügung zu stellen, bei dem die technologisch bedingten Eigenschaften der Fertigung der Strukturen auf dem Halbleiterwafer mit in die Berechnung einfließen und somit zu genaueren Layouts für die Produktion führen.

Diese Aufgabe wird durch ein Verfahren nach Anspruch 1 erfüllt.

Erfindungsgemäß ist vorgesehen, dass das primäre Layout um die fabrikations- oder technologiebedingten Abweichungen der Strukturen auf dem Halbleiterwafer korrigiert wird.

Die Erfindung schlägt vor, die technologie- und fabrikationsbedingten Einflüsse, welche die Ursache für die Abweichung der Formen und Dimensionen der Strukturen auf dem Halbleiterwafer sind, vor der Berechnung der parasitären Störparameter, hinsichtlich derer bereits eine Layoutkorrektur vorgenommen wird, vorzunehmen. Das primäre Layout wird also vor der Berechnung der parasitären Elemente um die technologiebedingten Abweichungen korrigiert, dann die parasitären Elemente bestimmt und nach diesem Ergebnis das Layout korrigiert. Nach diesem korrigierten Layout wird die Ätzmaske erstellt.

In einer bevorzugten Ausgestaltung der Erfindung wird das Layout nach den Korrekturen entsprechend den fabrikations- oder technologiebedingten Abweichungen der Strukturen nach dem Strukturierungsverfahren hinsichtlich parasitärer Störparameter der Leiterbahnen und Strukturen auf dem Halbleiterwafer korrigiert. Dieser Teilaspekt der Erfindung schlägt vor erst das primäre Layout hinsichtlich der Technologieeinflüsse zu korrigieren und danach hinsichtlich der parasitären Störparameter zu korrigieren. Der Vorteil gegenüber einer nach der Korrektur bezüglich der parasitären Störparameter durchgeführten Korrektur hinsichtlich der Technologieeinflüsse liegt in einer wesentlich besseren Integration in bestehende Vorgehensweisen.

Die parasitären Störparameter sind in einer besonders bevorzugten Ausgestaltung der Erfindung durch parasitäre Impedanzen, welche durch die Form und Lage der Strukturen auf dem Halbleitermaterial bestimmt sind, gebildet.

In einer weiterhin bevorzugten Ausgestaltung der Erfindung sind die fabrikations- oder technologiebedingten Abweichungen der Strukturen durch Annäherungseffekte der Leiterbahnen, ätztechnisch bedingte Formveränderungen der Strukturdimensionen, optische Effekte, insbesondere Auflösungseffekte durch Annäherung bzw. Verkleinerung der Strukturen und Belichtungseffekte, hervorgerufen.

Vorteilhafte Weiterbildungen der Erfindung ergeben sich aus den Unteransprüchen.

Nachfolgend wird die Erfindung anhand mehrerer Zeichnungen weiter erläutert. Im Einzelnen zeigen die schematischen Darstellungen in:

Fig. 1 eine typische Struktur, wie sie in einem primären Layout und einer danach gefertigten Ätzmaske enthalten ist,

Fig. 2 eine Struktur auf einem Halbleiterwafer, wie sie nach deren der Fertigung mittels der Ätzmaske; und

Fig. 3 eine erfindungsgemäße Korrektur des Layouts, nach der die Berechnungen der parasitären Störparameter korrekt durchgeführt werden.

Fig. 1 zeigt eine Aufsicht auf eine typische Struktur in einem primären Layout, welche mittels Ätzverfahren und einer hierzu verwendeten nach dem Layout erstellten Maske

auf der Oberfläche eines Halbleiterwafers hergestellt werden soll. Dabei sind beispielhaft Leiterbahnen 1 und Endstrukturen oder auch Elektroden 2 gezeigt.

In Fig. 2 ist dann ein typisches Ergebnis von auf der Oberfläche eines Halbleiterwafers realisierten Strukturen dargestellt. Durch die Lithographie nahe der optischen Auflösungsgrenze und die Technologieeinflüsse des Ätzvorganges (Unterätzen, Lackaufbringen) kommt es zu vielfältigen Abweichungen vom primären Layout (gestrichelte Linien). Es kommt zu Rundungen 5, insbesondere der Ecken, Ausbuchtungen 4, Verkürzungen 7 der Linien- oder Bahnenden, nachbarschaftsabhängigen Variationen der Linien- und Strukturformen und -breiten (auch Isolated-Nested-Effekt genannt) wie beispielsweise Einbuchtungen 8 oder Verlegungen 6, die durch die Zwischenräume 3 mitbestimmt sind.

Die physikalischen Eigenschaften der auf der Oberfläche des Halbleiterwafers geschaffenen Strukturen in Form der sich aus den Strukturen selber ergebenden parasitären Widerständen und Kapazitäten werden demzufolge stark von berechneten Werten, denen das primäre Layout aus Fig. 1 zugrunde lag, abweichen. Somit wird es zwangsläufig zu Abweichungen des vorausberechneten und simulierten Verhaltens der integrierten Schaltung und deren tatsächlichen Verhalten kommen. Dadurch kann es zu Verzögerungen in der Massenproduktion kommen, oder es sind kostenintensive Korrekturen und Neufertigungen der Ätzmasken erforderlich.

Um die Genauigkeit der Simulation der nachher tatsächlich produzierten Schaltungen zu erhöhen, wird in dem erfindungsgemäßen Verfahren der Technologieeinfluss durch Anwendung eines geeigneten Algorithmus auf Eingangsdaten, die in Form eines primären Layouts vorliegen, im Vorhinein simuliert. In den Verfahrensschritt in dem die parasitären Störparameter in Form der parasitären Impedanzen (Parasitic-Extraction) berechnet werden geht also das durch Berechnung veränderte primäres Layout ein.

Fig. 3 zeigt das Ergebnis eines berechneten Layouts nach dem primären Layout aus Fig. 1. Die Extraktion oder Berechnung der parasitären Störparameter ist aufgrund solchermaßen aufbereiteten Daten wesentlich genauer und führt zu viel besseren Resultaten für ein um die Einflüsse der parasitären Störparameter korrigierten primären Layouts. Tatsächlich auftretende Kurven und Rundungen werden durch hinreichend genaue in ihrem Winkel voreinstellbare (z. B. 45°) Linien 9 angenähert. Zeitraubende Nachbesserungen an den Layouts und damit verbundene Neuerstellung von teuren Ätzmasken werden eingespart und der Weg zur Massenproduktion verkürzt.

Patentsprüche

1. Verfahren zur Herstellung von Strukturen auf der Oberfläche eines Halbleiterwafers, mit den Fertigungsschritten:

- Erstellung eines den zu fertigenden Strukturen entsprechenden primären Layouts nach vorbestimmten physikalischen Sollparametern der Strukturen,
- Berechnung der parasitären Störparameter, welche sich aus den Halbleiterstrukturen nach Fertigung nach dem primären Layout ergeben würden,
- Korrektur des Layouts entsprechend den Ergebnissen des Berechnungsschrittes der parasitären Störparameter,
- Fertigung einer Maske nach dem entsprechend den parasitären Störparametern korrigierten Layout,

- Strukturierung der Oberfläche eines Halbleiterwafers mittels eines Ätzverfahrens, welche Strukturierung gegenüber den nach dem korrigierten Layout gefertigten Formgebungen auf der Maske fabrikations- oder technologiebedingte Abweichungen aufweisen,

dadurch gekennzeichnet, dass das primäre Layout um die fabrikations- oder technologiebedingten Abweichungen der Strukturen korrigiert wird.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass das Layout nach den Korrekturen entsprechend den fabrikations- oder technologiebedingten Abweichungen der Strukturen nach dem Strukturierungsverfahren hinsichtlich parasitärer Störparameter der Leiterbahnen und Strukturen auf dem Halbleiterwafer korrigiert wird.

3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, dass die parasitären Störparameter parasitäre Impedanzen sind, welche durch die Form und Lage der Strukturen auf dem Halbleitermaterial gebildet sind.

4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass die fabrikations- oder technologiebedingten Abweichungen der Strukturen durch Annäherungseffekte der Leiterbahnen, ätztechnisch bedingte Formveränderungen der Strukturdimensionen, optische Effekte, insbesondere Auflösungseffekte durch Annäherung bzw. Verkleinerung der Strukturen und Belichtungseffekte, hervorgerufen werden.

Hierzu 1 Seite(n) Zeichnungen

Fig 1

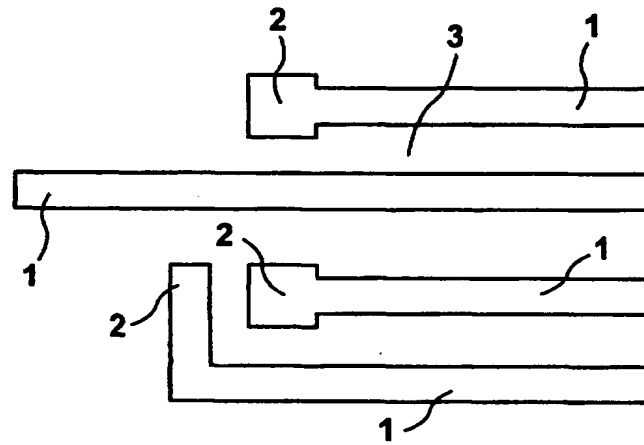


Fig 2

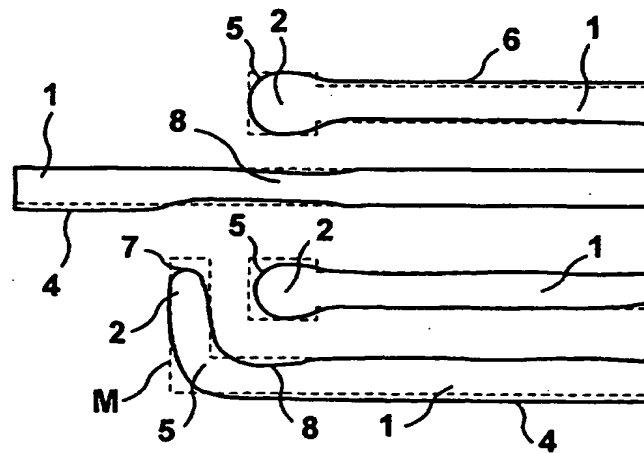
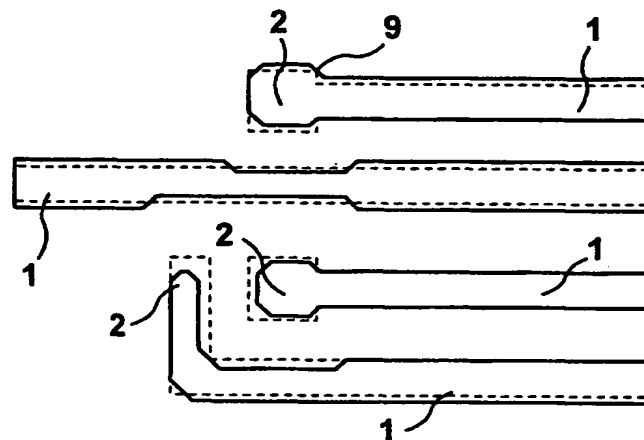


Fig 3



Method for producing structures on the surface of a semiconductor wafer

Patent Number: US6457168
Publication date: 2002-09-24
Inventor(s): JAKOBS ANDREAS (DE)
Applicant(s): INFINEON TECHNOLOGIES AG (DE)
Requested Patent: DE19903200
Application Number: US20000492655 20000127
Priority Number(s): DE19991003200 19990127
IPC Classification: G06F17/50
EC Classification: G03F1/14G, H01L21/66P, H01L21/768C
Equivalents:

Abstract

The invention relates to a method for producing structures on the surface of a semiconductor wafer, in which after the generation of a primary layout corresponding to the structures to be produced in accordance with predetermined desired physical parameters of the structures, calculation of the parasitic fault parameters that would result from the semiconductor structures after production using the primary layout, correction of the layout to suit the results of the step of calculating the parasitic fault parameters, and production of a mask based on the layout that has been corrected to suit the parasitic fault parameters, the surface of a semiconductor wafer is structured using an etching process. The structuring process leads to production- or technology-dictated deviations from the shapes that are produced on the mask based on the corrected layout, and the primary layout is corrected on the basis of the production- or technology-dictated deviations of the structures

Data supplied from the esp@cenet database - I2

DOCKET NO: P2002, 0821

SERIAL NO: _____

APPLICANT: B. Buechner et al.

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100